

5.2.1.1.3. Resetschaltung

Der Reseteingang der CPU ist wie die anderen Steuereingänge als Sammelleitung ausgeführt.

Auf der ZRE wirken zwei Schaltungen auf diese Leitung:

- Power On Clear
- Watch Dog (Resetgenerator)

Die Power-On-Clear-Schaltung löst beim Zuschalten der 5P-Systemspannung einen Resetimpuls aus und ermöglicht der CPU einen definierten Start. Sie besteht aus dem RC-Glied R 108/C 105, dem ein Negator (D 1163) als Trigger nachgeschaltet ist. Die Diode VD 101 sorgt beim Abschalten für eine schnelle Entladung des C 105. Ein weiterer Negator (D 113.1) mit O.C.-Ausgang erzeugt den erforderlichen H-Pegel im eingeschwungenen Zustand.

Die Watch-Dog-Schaltung dient zur Überwachung des Rechners und erzeugt automatisch bei Programmabsturz Resetimpulse. Dazu muß per Programm gewährleistet sein, daß der Eingang der Schaltung (C 127) in einer vorgeschriebenen Zeit mindestens einen negativen Impuls erhält und somit das aus VT 101/N 101 bestehende retriggerbare Monoflop in einer instabilen Lage hält (Ausgang H). Die Zeitkonstante wird durch das RC-Glied R 106/C 103 bestimmt (150...200 ms). Bei zu großem Abstand bzw. Ausbleiben der Eingangsimpulse lädt sich C 103 bis auf die obere Triggerschwelle des Timers N 101 auf, der darauf L am Ausgang erzeugt. Dadurch geht der Ausgang PIN 7 auf L-Potential und entlädt über R 107 den Kondensator 103 bis zur unteren Triggerschwelle. Daher wirkt die Schaltung ohne Eingangsimpulse als Generator mit kurzen L-Impulsen.

D 112.6 und D 113.2 erzeugen den richtigen logischen Pegel mit O.C.-Ausgang. Durch Schließen der Brücke BR 102 wird der Resetgenerator stillgelegt.

5.2.1.2. Interfacebaugruppen

5.2.1.2.1. Datenbustreiber und Richtungssteuerlogik

Der Bustreiber D 109 (DS 8286 D) verbindet die Datenleitungen der angeschlossenen Interfaceschaltkreise mit dem Systembus. Die Ausgänge sind mit R 117 (/OE=L) ständig zugeschaltet. Für Prüf-

zwecke besteht die Möglichkeit, den /OE-Eingang direkt am PIN 9 auf H zu legen und damit ständig vom Systembus zu trennen.

Die Steuerung des Datentreibers erfolgt somit nur über den Richtungssteuerungseingang DIR des DS 8286 D. Dazu dient die Richtungssteuerlogik, bestehend aus D 115.1 - 115.4 und D 116.5.

D 116.6 und D 114.1 erzeugen ein L-Signal (/CARDS), wenn ein Interfaceschaltkreis auf der ZRE adressiert wird (PIN 12 von D 116.6). Für die möglichen Eingangsbelegungen, aufgeteilt nach den Grundzuständen der CPU, zeigt Tabelle 3 die Zuordnungen.

Tabelle 3 Richtungssteuerlogik

	/M1	/RD	/IORQ	/IEO	/CARDS	DIR
M1-Zyklus	L	L	H	X	H	L
Speicherlese- zyklus	H	L	H	X	H	L
Speicher- schreibzyklus	H	H	H	X	H	L
I/O-Eingabe- zyklus	H	L	L	X	H	L
- " -	H	L	L	X	L	H
I/O-Ausgabe- zyklus	H	H	L	X	H	L
- " -	H	H	L	X	L	L
Interrupt- quittierungs- zyklus	L	H	L	H	X	H
- " -	L	H	L	L	X	L

DIR = H: Baugruppe sendet Daten auf Systembus

X: Eingangsbelegung gleichgültig

5.2.1.2.2. Adreßdecodierung

Der Adreßdecoder leitet aus den unteren 8 Adreßbits und den Steuersignalen /IORQ, /IODI, /RD und /WR ab, welcher Interfaceschaltkreis angesprochen ist. Das Ein-/Ausgabe-Sperrsignal /IODI ist auf der ZRE mit einem Pull-up-Widerstand (R 110.4) beschaltet und dadurch auf H-Potential. Die eigentliche Bausteinauswahl übernimmt der 1 aus 8-Decoder D 110 (DS 8205 D).

Der Decoder ist freigegeben bei /IODI=H, /IORQ=L, AB6=L, AB7=L; die Auswahl 1 aus 8 erfolgt dann über AB5, AB4, AB3 und legt genau einen der Ausgänge auf L. Da die Adresse AB2 nicht verdrahtet ist, belegt jeder Baustein genau 8 (gleichwertige) Toradressen, wobei PIO und CTC über AB \emptyset und AB1 eine weitere interne Auffächerung vornehmen.

Tabelle 4 zeigt die Zuordnung der Toradressen zu den Bausteinen.

Tabelle 4 Zuordnung der Toradressen

AB7	AB6	AB5	AB4	AB3	AB2	AB1	AB \emptyset	Hexa-Adresse	Baustein
L	L	L	L	L	X	L	L	$\emptyset\emptyset, \emptyset4$	PIO Data, Kanal A
L	L	L	L	L	X	L	H	$\emptyset1, \emptyset5$	PIO Control, Kanal A
L	L	L	L	L	X	H	L	$\emptyset2, \emptyset6$	PIO Data, Kanal B
L	L	L	L	L	X	H	H	$\emptyset3, \emptyset7$	PIO Control, Kanal B
L	L	L	L	H	X	L	L	$\emptyset8, \emptysetC$	CTC Kanal \emptyset
L	L	L	L	H	X	L	H	$\emptyset9, \emptysetD$	1
L	L	L	L	H	X	H	L	\emptysetA, \emptysetE	2
L	L	L	L	H	X	H	H	\emptysetB, \emptysetF	3
L	L	L	H	L	X	X	X	1 \emptyset ...17	V 4042 D (D 108)
L	L	L	H	H	X	X	X	18...1F	V 40098 D (D 118)
L	L	H	X	X	X	X	X	2 \emptyset ...3F	nicht benutzt

5.2.1.2.3. Interruptsystem

Die Bausteine CTC und PIO sind auf der ZRE in das Interruptsystem einbezogen, wobei der CTC die höhere Priorität besitzt. Eine Umgehungslogik (D 114.2) besorgt das schnelle Durchschalten bei Interruptanmeldung.

5.2.1.2.4. Zähler/Zeitgeber - IS (CTC)

Der Zähler/Zeitgeber-Schaltkreis umfaßt vier vollständige Zähler/Zeitgeber-Kanäle. Die Ein-/Ausgänge sind auf der Leiterplatte auf Lötäugen gelegt, so daß eine beliebige Kaskadierung möglich ist. Im PMM 100 erfolgt über BR 101 eine Zusammenschaltung von Ausgang 2 mit Eingang 1.

Die erforderlichen Steuersignale werden direkt dem Steuerbus entnommen.

5.2.1.2.5. Grenzwertsteuerung

Die PIO VB 855 D (D 107) wird zur Parallelausgabe von 16 Portleitungen benutzt. Jeweils die unteren 6 Bit beider Kanäle werden als Grenzwertausgaberegister benutzt. Jeder Leitung ist ein Treiber zur Realisierung eines größeren Ausgangsstromes ($I_{max} = 70 \text{ mA}$) nachgeschaltet, um damit Relais bzw. Optokoppler direkt ansteuern zu können.

Als Treiber wird der 4-fach-OV B 4765 D in Komparatorschaltung benutzt. Für sämtliche positiven Eingänge der OV's wird mit einer LED VQA 25(H101) eine Vergleichsspannung von ca. 1,8 V bereitgestellt. Damit ist eine Ansteuerung mit TTL-Pegel durch die PIO-Ausgänge möglich.

Die Ausgänge A6, A7, B6 der PIO steuern über die Treiber und Vorwiderstand LED 1, 2 und 3 der Anzeigebaugruppe an.

Ausgang B7 steuert den Resetgenerator.

Die erforderlichen Steuersignale werden direkt dem Systembus entnommen.

5.2.1.2.6. Tastaturansteuerung, Steuereingänge

Tastatur und Steuereingänge werden über eine 4 (Ausgänge) x 6 (Eingänge) - Matrix angesteuert, wobei im PMM 100 nur eine 2 x 5 - Matrix genutzt wird (TA 2,3; TE 1,2,3,4,5).

Das 4-Bit-Register V 4042 D (D 108) ist als Ausgabeter für die 4 unteren Datenbits geschaltet (zusätzliche Pull-up-Widerstände R 110 zur Erreichung des H-Pegels). Zum Einschreiben der Information erfolgt eine NOR-Verknüpfung (D 117.2) des Adressauswahlsignals mit /WR, um Konflikte beim Interruptquittierungszyklus zu vermeiden. Analoges gilt für D 118 (/RD-Verknüpfung, D 117.1).

Zur Informationsgewinnung ist eine Ausgabelinie auf H zu schalten. Über das Eingabeter V 40098 D (D 118) kann so die Information eingelesen werden (unteren 6 Bit). Bei betätigter Taste erkennt der Eingang ein H (Ausgang negiert!). Die Entkopplung erfolgt auf der Tastatur durch Dioden.

Bei TA 4=H werden in gleicher Weise vier Optokopplerausgänge

aktiviert und erzeugen bei angesteuertem Eingang ein H-Signal am Eingang von D 118.

Die Optokopplereingänge (MB 104/5 B) sind über die Grundleiterplatte direkt auf die Klemmen des PMM 100 gezogen.

Im Ruhezustand sind die Eingänge des D 118 mit R 112 auf L-Potential gezogen.

5.2.1.3. Servicehinweise

Eine komplexe Prüfung der ZRE-Baugruppe ist nur mit einem entsprechend ausgerüsteten Rechner (Leiterplattenprüfeinrichtung zum PMM 100) möglich.

Bei funktionierendem Rechnerkern kann eine Fehlerdiagnose in einem PMM 100 mit der Prüfsoftware P 006 erfolgen. Hierbei werden folgende Schaltungsteile überprüft:

- Grenzwertausgänge mit Treibern
- LED-Ansteuerung
- Tastaturansteuerung
- Steuereingänge

Näheres hierzu unter Punkt 4.4. zur Prüfsoftware. Eine grobe Prüfung bei Ausfall des Rechnerkerns erfolgt durch Anlegen der Betriebsspannung an die defekte Baugruppe.

Ursachen für eine erhöhte Stromaufnahme ($I_{cc} \cong 630 \text{ mA}$) können sein:

- Kurzschlüsse auf der Baugruppe
- defekte Treiberschaltkreise
- fehlerhafte Busrichtungssteuerung

5.2.1.3.1. Prüfung des Taktgenerators

Die Prüfung erfolgt durch Frequenzmessung an BR 103.

$$f_t = 2,4576 \text{ MHz} \pm 0,1 \%$$

Ist an dieser Stelle oszillografisch kein Takt nachweisbar, wird der 4:1-Treiber D 111 untersucht. An allen R-, S-Eingängen des DL 074 D muß H-Potential liegen. Am Eingang (PIN 3) liegt die ungeteilte Quarzfrequenz (Oszillograf). Fehlt diese, so ist der Fehler im Quarzgenerator zu suchen. Anschließend wird der Takt direkt an CPU (PIN 6), CTC (PIN 15), PIO (PIN 25)

oszillografiert (H-Pegel_{min.} $U_{cc} = 0,2 \text{ V}$), dann am Steckverbinder X 101/A21 (TTL-Pegel).

5.2.1.3.2. Prüfung der Resetschaltung (watch dog)

An den Eingang des Resetgenerators (PIO, PIN 34) ist eine Folge negativer Impulse (ca. 5 μs) zu legen. Der Impulsabstand wird, beginnend mit ca. 5 ms, langsam erhöht und die Resetleitung oszillografiert (H-Pegel). Wird der Abstand größer als die Retriggerzeit (150...200 ms), müssen auf der Resetleitung kurze (ms) L-Impulse erscheinen.

5.2.1.3.3. Grobprüfung der Bussignale

Durch Schließen der Brücke BR 102 ist der Resetgenerator abzuschalten. Bedingt durch die offenen Datenleitungen liest der Rechner ständig $\emptyset\text{FF H}$ als Befehlscode und führt laufend den Befehl RST 38H aus. Dadurch werden sämtliche Adressen durchlaufen und die Steuerleitungen /M1, /RD, /MREQ, /WR, /RFSH (L-) aktiviert. Diese Aktivitäten sind vor bzw. hinter den Bustreibern oszillografisch nachzuweisen. Alle übrigen Steuerleitungen behalten H-Potential.

5.2.2. Speicherbaugruppen RAM/ROM, ROM

Die Baugruppe RAM/ROM dient im PMM als Programm- und Datenspeicher und läßt sich aufteilen in einen Speicherblock, eine Echtzeituhr und die Batteriespannungsumschaltung.

Die ROM-Baugruppe stellt eine abgerüstete RAM/ROM dar (nur EPROM-Bereich) mit einem anderen Adreßbereich und wird daher nicht gesondert betrachtet.

Die Baugruppe ist nicht interruptfähig; Interruptkette und Busanforderungskette sind gebrückt.

Die EPROM's sind aufgelötet und über Steckverbinder programmierbar.

5.2.2.1. Speicherblock

Die Leiterplatte läßt eine Bestückung von 12 K Bytes EPROM-Bereich in 2 K-Blöcken (U 2716 C 39) und 2 K Bytes RAM-Bereich, davon 1 K batteriegepuffert, zu.

Sämtliche Datenleitungen sind parallel auf den Datenbustreiber

D 211 (DS 8286 D) geführt und mit Pull-up-Widerständen versehen. Die niederwertigen Adressen gehen ungepuffert auf die Speicherschaltkreise. Die Auswahl der Bausteine in 2 K-Blöcken erfolgt mit einem 1 aus 8-Decoder DS 8205 D (D 212) durch die Adressen AB 11,12,13 über den /OE-Eingang. Die Festlegung des Speicherbereichs (Anfangsadresse) erfolgt mit AB 14,15 und den Steuersignalen /MREQ und /MEMDI.

Das Speichersperrsignal /MEMDI wird mit R 213 auf H gelegt. Mit $AB\ 14 = AB15 = /MREQ = L$ (RAM/ROM) bzw. $AB\ 14=H, AB\ 15= /MREQ=L$ (ROM) wird der Decoder freigegeben für eine Speicheroperation. Das Signal /RFSH sperrt den ganzen Block während einer Refresh-Operation. Damit belegt die RAM/ROM-Karte den Adreßbereich $0000...3\ FFFH$, die ROM-Karte $4000...7\ FFFH$.

Die /CE/PGM-Eingänge der EPROM's sind über die Pull-down-Widerstände R 205 an L-Potential gelegt und einzeln auf den Steckverbinder X 202 geführt. Ebenso die gemeinsame U_{PR} -Leitung zur Programmierung über die Steckverbinder. Nähere Angaben zum Beschreiben der EPROM's befinden sich in der Programmiervorschrift.

Das Freigabesignal für den Decoder (PIN 8, D 214) wird, getort mit der I/O-Freigabe (D 217.2, D 215.5), gleichzeitig zum Aktivieren des Datentreibers D 211 genutzt. Die Datenrichtung wird direkt über die negierte /RD-Leitung (D 215.6) gesteuert: bei aktivem /RD (L) arbeitet der Treiber auf den Systembus (A—B).

Der 2 K-RAM wird durch 4 statische CMOS-RAM-Schaltkreise (1 Kx4) gebildet (UL 224 D 30), wobei der obere Teil batteriegepuffert wird. Die Auswahlssignale (/CS) für je 1 K werden durch Verknüpfung des 2 K-Auswahlsignals/Y7 (D 212) mit AB 10 gebildet (D 216.3, D 217.1, D 217.3, D 217.4): bei $/Y7 = AB\ 10 = L$ wird PIN 11, D 217 ebenfalls L und gibt damit den unteren, ungestützten RAM frei ($3800H...3BFFH$). Für $/Y7 = L, AB\ 10 = H$ und H am Kollektor VT 201 (für $U_{cc} > U_{sch}$) ergibt sich am Ausgang D 218.1 ein L-Pegel, der den gestützten RAM freigibt. Sinkt die Betriebsspannung U_{cc} jedoch unterhalb der Schaltschwelle U_{sch} der Batterieumschaltung, so erfolgt über VT 201 und D 218.1 die Sperrung des gestützten RAM-Bereiches.

Eine weitere Sicherung dieses Bereiches erfolgt über eine

Schreibsperre. Während der ungestützte RAM direkt mit dem /WR-Signal beschrieben wird, sind für den gestützten Bereich zuvor durch eine Ausgabeoperation (Port 4E H) die Datenbits D 2=H, D 3=L zu setzen. Damit wird das /WR-Signal über die Gatter D 216.1 und D 218.4 zum Schreibeingang durchgeschaltet. Beim Einschalten der Betriebsspannung erfolgt über das /Reset-Signal ein Rücksetzen des Tores D 226 (4 Bit-Register V 4035 D) und eine Schreibsperre des gestützten RAM. Diese Sperre ist dann nur softwaremäßig zu lösen (s.o.).

5.2.2.2. Echtzeituhr

Die im PMM 100 erforderliche, netzspannungsunabhängige, buskompatible Uhr wird auf der RAM/ROM-Baugruppe durch eine Hardwarelösung realisiert. Kernstück der Echtzeituhr ist der Digitale Zeitmodul U 1301 (UWR). Dieser auf einer Aufsatzleiterplatte befindliche Modul enthält einen 32 kHz-Quarz mit Nachgleichmöglichkeit und gestattet die parallele 6-stellige Ausgabe der Uhrzeit, Uhrzeit + Datum oder Datum + Jahr. Die Ausgabe erfolgt als Wechselspannungsausgang mit einem Vergleichssignal COM im Siebensegment-Code.

Über die Stelleingänge HT und VT (H aktiv) sind Betriebsartenwahl und Verstellung möglich. Wegen der Anpassung an die Folgeschaltung wird der Modul mit 2 symmetrischen Spannungen betrieben ($U_{EE} = 0$, $U_{SS} = 1,8$ V, $U_{DD} = 3,6$ V). Diese werden durch Reihenschaltung der LED's H 203 und H 204 erzeugt. Die Parallelwiderstände R 219, R 220 sorgen bei Batteriebetrieb für gleiche Aufteilung.

Jedem Ziffernausgang ist als Treiber und zur Busanschaltung ein 6-fach-Trigger (V 40098 D) nachgeschaltet. Da das Vergleichssignal COM für jede Stelle benötigt wird, werden nur noch die fünf nichtredundanten Segmente (a, b, e, f, g) übertragen. Zusätzlich erhält die erste Stelle, hier genügen 2 Segmente, das Signal DAT.

Da die Eingänge der V 40098 D ständig Potential erhalten, sind auch diese Schaltkreise an die gestützte Spannung angeschlossen.

Die Ziffernauwahl erfolgt über eine I/O-Operation des Rechners. Für die dazu erforderliche Portauswahl sorgt ein 1 aus

8-Decoder (D 213), im Zusammenhang mit den Gattern D 216.2, D 216.4, D 214.1.

Der Decoder und damit der Ein/Ausgabeblock der Baugruppe wird bei folgender Belegung aktiviert: AB 4=AB 5 = AB 7 = L, AB 6=H; /IODI = H /IORQ = L, /M1 = H. Daraus ergibt sich die Hexa-Adresse 4X H. Da AB Ø nicht mitverdrahtet ist, sind jedem Port 2 Adressen zugeordnet. M1 wird benutzt, um Konflikte beim Interruptquittierungszyklus (/M1 = /IORQ=L) zu vermeiden.

Die Blockaktivierung (Ausgang D 214.1=L) wird gleichzeitig genutzt, um den Datenbustreiber freizugeben.

Über ein 4-bit-Register (D 226), das gleichzeitig mit als Schreibsperre dient, sind die Uhrenstelleingänge VT (DØ) und HT (D1) zu bedienen. Die Treiber R 214/R 216, R 215/R 217 passen den CMOS-Pegel ($U_{QH} \approx U_{CC}$) an die Uhrenspannung ($U_{DD} = 3,6 \text{ V}$) an.

Tabelle 5 enthält die vollständige Zuordnung der Toradressen.

Tabelle 5 Zuordnung der Toradressen

AB7 AB6 AB5 AB4 AB3 AB2 AB1 ABØ Hexa-Adr. Baustein bzw.Funktion

AB7	AB6	AB5	AB4	AB3	AB2	AB1	ABØ	Hexa-Adr.	Baustein bzw.Funktion
				L	L	L	X	40, 41	1. Ziffer
				L	L	H	X	42, 43	2. "
				L	H	L	X	44, 45	3. "
L	H	L	L	H	L	L	X	48, 49	5. "
				L	H	H	X	46, 47	4. "
				H	L	H	X	4A, 4B	6. "
				H	H	L	X	4C, 4D	nicht benutzt
				H	H	H	X	4E, 4F	V 4035 (VT, HT, Schreibsperre)

Die Erkennung der Ziffer aus den 5 Segmenten und dem COM-Signal erfolgt durch den Rechner mit entsprechender Treibersoftware.

5.2.2.3. Batteriespannungsumschaltung

Bei Ausfall der Netzspannung werden der gestützte Teil des RAM und die Uhr mit den Treibern an eine Batterie geschaltet. Diese Stützspannung kann extern zugeführt werden (BR 202 parallel zum

Steckverbinder) oder wird durch die vorhandene Lithiumbatterie LIS 2300 bereitgestellt (BR 202 senkrecht zum Steckverbinder). Die Umschalteinrichtung besteht aus den beschalteten Transistoren VT 202, 203, 204 und den LED's H 201, 202.

Bei vorhandener Betriebsspannung U_{CC} (5 V) bekommt VT 203 genügend Basisstrom, damit am Kollektor nur die Sättigungsspannung verbleibt. Damit erhält auch VT 202 über R 211 den Basisstrom zum vollständigen Durchschalten und liefert so den gestützten Bauelementen den Strom.

Der Sperrschicht-FET KP 303 A (selbstleitend) ist gesperrt, da das Drain-Potential um U_B (2,7 V) - U_F (0,6 V) positiver ist als das Gate-Potential. Sinkt nun U_{CC} so weit, daß der Basisstrom für VT 203 nicht mehr ausreicht, steigt seine Kollektorspannung, so daß auch VT 202 sperrt und beide Transistoren stromlos werden. Damit erhält aber VT 204 über R 212 $U_{GS} \approx 0$ V und wird leitend, und die Batterie versorgt die Schaltung. Die Kollektorspannung von VT 203 schaltet über R 208 einen weiteren Transistor VT 201. Dieses Signal wird zur Sperrung des gestützten RAM bei Unterschreitung der Schaltschwelle genutzt. Die Batterie ist über einen Schalter bzw. Wickelbrücke abschaltbar.

5.2.2.4. Servicehinweise

Eine komplexe Prüfung der Baugruppe ist nur mit einem entsprechend ausgerüsteten Rechner (Leiterplattenprüfeinrichtung zum PMM 100) möglich.

In einen K 1520-Rechner, der den Adreßbereich ~~4000~~...7FFFH nicht belegt, kann die ROM-Baugruppe direkt, die RAM/ROM-Baugruppe nach Umlöten der Brücke BR 203 gesteckt werden. Durch Berechnung des CRC-Wertes ist ein Vergleich mit den Solldaten möglich.

Läßt sich der Speicherbereich abbilden, können Instabilitäten der EPROM's erkannt werden.

Durch zyklisches Lesen der EPROM's sind die /OE-Signale (PIN 20) oszillografisch nachweisbar und somit die Adreßdecodierung überprüfbar. Die /CE-Eingänge müssen statisch

auf L liegen.

5.2.2.4.1. Batteriespannungsumschaltung

Verliert der PMM 100 seine eingegebenen Parameter bei Netzausfall, so sind der Zustand der Pufferbatterie und die Batteriespannungsumschaltung zu überprüfen. Die Betriebsspannung ist abzuschalten.

Die Brücke bzw. Schalter zur Batterieanschlaltung ist zu öffnen. Die Batteriespannung muß zwischen 2,3 und 2,8 V liegen. Danach wird die Stromaufnahme gemessen: $I_{BS} < 20 \mu A$. Ein höherer Wert läßt auf defekte Bauelemente der Umschaltung oder Kurzschlüsse auf der Leiterplatte schließen.

Am Decoder D 213 sind die Spannungen an /Y0 bis /Y5 zu messen. Die Differenz zu U_{PG} darf nicht größer 10 mV sein. Andernfalls ist der DS 8205 D (nach Auswahlvorschrift) zu wechseln. Die Schaltung zur Spannungsumschaltung wird durch Hochfahren der Betriebsspannung überprüft. Der Schaltpunkt ($U_{sch} = 4,5 \pm 0,07 V$) wird am Kollektor VT 201 (L→H) gemessen.

Im eingeschalteten Zustand darf in die Batterie nicht mehr als 100 μA fließen (KP 303 A).

5.2.2.4.2. Uhrenmodul

Bei abgeschalteter Betriebsspannung ist $U_{DD} \approx U_{PG}$ und $U_{SS} = 1/2 U_{PG}$ nachzuweisen. Unsymmetrische Aufteilung ist durch defekte LED's (H 203, 204) möglich. Dadurch kommt die Uhr zum Stehen. Der Schwingzustand wird durch Oszillografieren der Segmentausgänge (symm. Rechteckspannung) nachgewiesen.

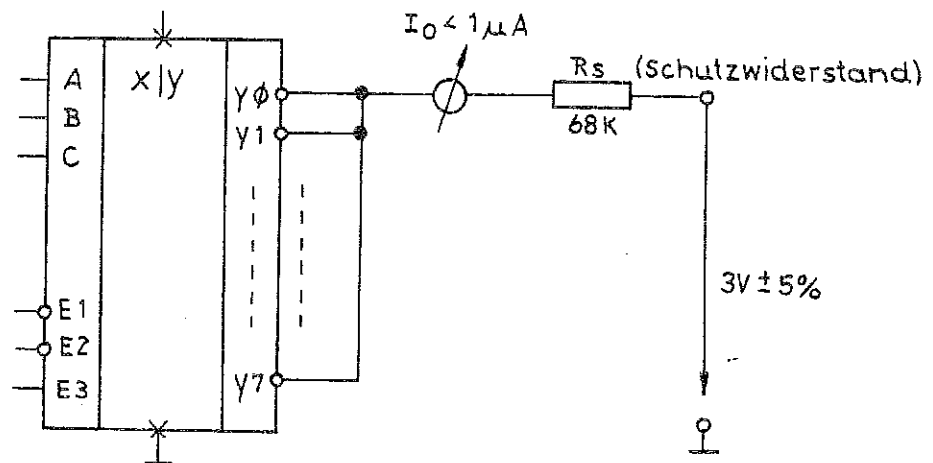
Die Kontrolle der Ganggenauigkeit erfolgt mit einem Uhrentester (kontaktlos).

5.2.2.5. Prüfvorschrift DS 8205 D

Der Decoder-Schaltkreis DS 8205 D auf der Baugruppe RAM/ROM (D 213) arbeitet als Adreßdecoder für die Uhr. Er ist bezüglich seines Ausgangsreststromes auszusuchen.

Auswahlbedingungen: Die Summe der Ausgangsrestströme bei abgeschalteter Betriebsspannung und einem Ausgangspotential von +3 V ist kleiner
1 μA .

Meßanordnung



Die hier nicht verwendbaren Schaltkreise können auf der RAM/ROM (D 212) oder den anderen PMM-Leiterplatten eingesetzt werden.

5.2.2.6. Programmiervorschrift RAM/ROM und ROM

Vorbereitung

Die Programmierung der EPROM's erfolgt über die beiden Steckverbinder X 201 und X 202 nacheinander.

Vor der Programmierung der geprüften Leiterplatten ist die Brücke BR 201 (RAM/ROM) bzw. BR 202 (ROM) zu entfernen.

Belegung der Steckverbinder

Durch einen Programmieradapter sind folgende Bedingungen zu erfüllen:

Programmierdaten $0\emptyset \dots 07$ an DB $\emptyset \dots \text{DB } 7$ (X 201)

Adressen: $A\emptyset \dots A1\emptyset$ an AB $\emptyset \dots \text{AB } 1\emptyset$ (X 201)

Freigabesteuerung \overline{OE} an \overline{RD} (X 201)
 und \overline{OE} an \overline{RFSH} (X 201)

Programmierimpuls \overline{CE}/PGM an \overline{CE}_1 (X202.A5) für 1. EPROM
 \overline{CE}_2 (X202.C5) für 2. "
 \overline{CE}_3 (X202.C4) für 3. "
 \overline{CE}_4 (X202.C3) für 4. "
 \overline{CE}_5 (X202.C2) für 5. "
 \overline{CE}_6 (X202.C1) für 6. "

Programmierspannung U_{PP} an U_{PP} (X202.A1 u. A2)

Die EPROM-Auswahl erfolgt außerdem über die Adreßeingänge AB11, AB12, AB13 (binär codiert).

Die Steuersignale \overline{IORQ} , \overline{IODI} , $\overline{M1}$, \overline{WR} , \overline{MEMDI} sind auf H-Potential AB15, \overline{MREQ} auf L-Potential zu legen.

Die Auswahl RAM/ROM oder ROM erfolgt mit AB14

RAM/ROM: AB 14 = L

ROM: AB 14 = H

Programmierung

Die Programmierung der EPROM's U2716 erfolgt entsprechend TGL 43077. Folgende Besonderheiten sind zu beachten:

Die Daten- und Steuereingänge sind TTL-kompatibel (1 TTL-Last). Die Adreßeingänge führen ungepuffert auf alle Speicherschaltkreise.

Der Eingang U_{PP} erhält auch die Spannung im Lesebetrieb (+5 V) über den Steckverbinder X 202. Die Umschaltung auf die Programmierspannung (+25 V) muß ohne Überschwingen erfolgen.

Die \overline{CE}/PGM -Eingänge liegen jeweils über 0,91 K an Masse.

Programmierkontrolle

Nach dem Programmieren sind die Daten rückzulesen und mit den Solldaten zu vergleichen. Bei fehlerhafter Programmierung ist der entsprechende Schaltkreis separat zu löschen und die Programmierung zu wiederholen.

Nachbehandlung

Die Brücke BR 201 (RAM/ROM) bzw. BR 202 (ROM) ist zu wickeln (Leiterplatte gezogen).

Alle Fenster der EPROM's sind mit einem Schild lückenlos zu verkleben. Das erste Schild wird mit der Code-Nummer der einprogrammierten Software-Variante beschriftet.

5.2.3. Motor-, Zeilen-, LED-Displayansteuerung (MZD)

5.2.3.1. Funktionsbeschreibung

Die MZD ist als Leiterplatte des Elektronikblocks des PMM 100 mit zwei 59-poligen Steckverbindern ausgerüstet.

Der Steckverbinder X 301 ist mit dem K 1520-Bus belegt.

Über den 8-bit-Bustreiber DS 8286, D 302, die PIO VB 855, D 301, den Systemtreiber E 348, D 305 und den Digtitreiber VT 301-306 und 311 wird die sechsstellige Siebensegment-Digitalanzeige angesteuert.

Die Steuerung der PIO erfolgt über den Decoder DS 8205, D 303 und Gatter der DL-Schaltkreise D 313 (DL 100), D 315, D 316 (DL 002).

Die Steuerung des Datenverkehrs wird über die Datenrichtungslogik realisiert, die die Steuersignale der CPU benutzt (IORQ, M1, RD, WR, IEO, IEI).

Die Auswahl des gewünschten Ausgabeters erfolgt durch Auswertung des niederwertigen Adreßbus mittels Decoder DS 8205.

Weiterhin sind Takttreiber und die vorausschauende Logik für die Interruptprioritätskette enthalten. Die Ansteuerung der sechsstelligen LED-Display besitzt höchste Interruptpriorität. Die Displayanoden werden multiplex (ca. 50 Hz) über Port B (B0-B5) angesteuert. Die Ausgabe der zur Stelle gehörenden BCD-Daten erfolgt auf Port A (A4-A7).

Die Ausgabe des Dezimalpunktes (DP) erfolgt auf B6 und die Dunkelsteuerung der Anzeige auf B7.

Parallel zum Datenbus an der PIO sind zwei Zwischenspeicher V 4042 geschaltet. Der V 4042, D 306 gibt die Schieberregisterimpulse ST, die Übernahmeimpulse ÜT und die Zeilenimpulse ZT zur Steuerung der Thermodruckzeile ab.

Die Impulse ST und ÜT liegen über einem DL-Gatter unmittelbar an der Zeile, während ZT einen monostabilen Multivibrator,

aufgebaut mit dem DL 123, D 307, anstößt. Die Zeitkonstante des Monoflop ist durch den Thermistor R 301 temperaturabhängig und dient der Heizzeitregulierung der Thermodruckzelle.

Die Zeilenlogikschaltkreise D 716 X werden seriell gefüllt (256 Bit-Register) durch Ausgabezyklen des Port A(0), DE, der PIO. Die zu übernehmenden Daten müssen eine minimale Voreinstellzeit von > 400 ns besitzen und für > 600 ns gehalten werden.

Bei Überschreitung der oberen Grenztemperatur der Thermodruckzelle wird der Heizzeit-Monoflop durch den Komparatorschaltkreis A 302 gesperrt. Die Komparatorschwelle wird mit R_{333} auf die Temperatur $T = 80$ °C des Meßwiderstandes R_{302} eingestellt.

Überschreitung der Grenztemperatur löst das Schwingen des Generators V 4093, D 312.1 und damit Blinken der LED-Alarm aus. Über V 4093, D 312, Gatter 4 und A3 der PIO wird das gleiche LED auf Dauerlicht bei Rechnerabsturz gesteuert.

Im ungestörten Betriebsfall ist das LED dunkel.

Die Schrittmotorelektronik wird über Q_1 , Q_1 (Meßpunkt) ①, Q_2 , Q_2 ②, D 310 und Q_4 ③, D 306, beide V 4042, vom Rechner gesteuert.

Vier Motorschritte bewirken einen Zeilenvorschub. Die vier Motorschritte werden im Abstand von jeweils 20 ms ausgelöst. Die Ausgänge Q_1 und Q_2 bzw. Q_1 und Q_2 negiert, steuern mit 20 ms breiten Impulsen unmittelbar die Motorendstufen an. Dabei ändert sich nach jeweils 20 ms das Potential an einem der Ausgänge Q_1 und Q_2 entsprechend dem Impulsschema Motorsteuerung. Gleichzeitig werden an Q_4 ③ D 306 bei Schrittbeginn etwa 100 μ s dauernde positive Impulse ausgegeben und zur Ansteuerung des Monoflop D 308.2 (DL 123) genutzt.

Der Monoflop mit einer Haltezeit von 8 ms $\pm 0,5$ ms ④ startet das zweite Monoflop mit seiner Rückflanke.

Der zweite Monoflop mit einer Haltezeit von einstellbar 12 ms ⑤ schaltet den auf 22 kHz ± 1 kHz schwingenden Generator D 3122 ab ⑥. Entsprechend dem Tastverhältnis dieses Genera-

Durch das Prüfprogramm ist eine zur Kontrolle aller Segmente geeignete Ansteuerung zu realisieren.

5.2.3.2.3. Prüfung der Druckzeilenansteuerung

Das Vorhandensein der zum Betrieb der Thermodruckzeile erforderlichen Impulse ist zu kontrollieren.

Dazu sind oszilloskopisch die Anschlüsse an X 2 A/C3 (Dateneingang), A/C6 (Übernahmetakt), A/C7 (Schiebetakt) und A/C10 (Heizimpuls) auf Einhaltung der TTL-Pegel zu prüfen.

Der L-Pegel des Heizimpulses HIR bestimmt die Heizzeit der Zeile und ist zum Schutz der Zeile besonders zu überprüfen. Die Rückmeldung HIR=L ist durch Auslesen des PORT A (A2) zu prüfen.

Die Dauer des Heizimpulses wird mit der Zeitkonstante des Monoflop D 307 festgelegt, wobei

$$T = C_{307} (R_{334} + R_{334} // R_{301})$$

gilt.

R_{301} ist ein im Kühlkörper der Zeile angeordneter Thermistor. Seine Erwärmung durch die Zeile verkürzt die Heizzeit bei ansteigender Zeilentemperatur. Bei Anschaltung eines Widerstandes von $R_1 = 47K$ an A/C8 muß der Heizimpuls (Low-Pegel) an A/C 10 $t = (10,5 \pm 1,0)$ ms lang sein.

$R_1 = 47$ kOhm entspricht der Thermistortemperatur bei $20^\circ C$.

Korrekturen sind durch Verändern von R_{334} und R_{335} durchzuführen.

Bei Anschaltung eines $R_1 = 10$ kOhm, der einer Thermistortemperatur von $70^\circ C$ entspricht, ist die Heizimpulsdauer (Low-Pegel) am A/C 10 von $t = (7 \pm 0,7)$ ms zu kontrollieren.

5.2.3.2.4. Prüfung der Thermozeilenabschaltung und Störfallsignalisierung

Der Anschluß A 22 wird gegen +ucc über 100 Ohm mit einer LED beschaltet. Der Anschluß A/C 9 wird mit $R_2 = 8$ kOhm beschaltet und R_{333} so eingestellt, daß das LED am A 22 zu blinken beginnt.

Beim Blinken des LED dürfen am A/C 10 keine Heizimpulse auftreten. (A/C = H, d.h. Zeile heizt nicht)

Danach wird A/C 9 mit $R_2 = 47 \text{ k}\Omega$ beschaltet. Das Blinken der LED muß aufhören.

Vorausgesetzt war bis hierher, daß die PIO auf A3 H ausgibt. Gibt A3 auf L muß das LED dauernd leuchten (Störfall).

5.2.3.2.5. Prüfung der Schrittmotoransteuerung

Es sind die Anschlüsse A/C 14 mit +15 V, 2 A und A/C 12 mit -15 V, 2 A zu beschalten.

Zwischen den Anschlüssen A/C 19 und A/C 17 und A/C 16 und A/C 17 sind jeweils eine Wicklung eines Schrittmotors SPS 42/100 oder ein Widerstand von 50 Ω zu schalten. An den Ausgängen A/C 19 und A/C 16 sind oszilloskopisch die Spannungsimpulsfolgen entsprechend dem Impulsschema Motorendstufe zu kontrollieren.

Mit R_{314} sind die Motorspannungsverläufe, entsprechend Bild 22, einzustellen (T_2).

Hinweis: Die Motorendstufen sind nicht kurzschlußfest.

5.2.3.2.6. Prüfung der Erfassung des Papierendes

Der Anschluß C 1, X 302 ist auf L und auf H zu legen und das PORT A (A1) der PIO, D 301, auszulesen.

5.2.4. Eingangseinheit (EGE)

Die EGE ist zur Abfrage von maximal sechs analogen Einheits-signalen ausgelegt:

Als Einheitssignale werden die Stromsignale 0...5 mA, 0...20 mA, 4...20 mA und die Spannungssignale 0...1 V, 0...5 V, 0...10 V festgelegt.

Der kürzeste Abfragezyklus für 6 Meßstellen beträgt 240 ms entsprechend einem Vorschub von 6000 mm/h.

Die analoge Signalverarbeitung einschließlich des Wandlungsfehlers der AD-Umsetzung bestimmt den Grund- und Zusatzfehler des Gerätes. Der Grundfehler der EGE muß besser 0,4 % und der Temperaturzusatzfehler besser als 0,1 %/10 K sein, Gegentaktstörspannungen mit Frequenzen größer oder gleich $f = 50 \text{ Hz}$ sind um mindestens $a = 30 \text{ dB}$ zu dämpfen.

Die Meßeingänge sind mit der internen Geräteerde galvanisch

verbunden. Nicht abgefragte Meßstellen sind vom Gerät galvanisch getrennt. Gleichtaktspannungen mit $f = 50$ Hz sind mindestens $a_{GL} = 60$ dB zu dämpfen.

Dazu ist im Gesamtkonzept des PMM dafür gesorgt, daß die interne Geräteerde nicht mit weiteren Geräten galvanisch verbunden ist.

Eigensichere Eingangsstromsignalkreise werden nicht realisiert. Die Einheitssignale werden pro Meßstelle über zwei getrennte Verbindungen von den Klemmen an der Geräterückwand über eine flex. LE und die Grundleiterplatte zur Eingangseinheit geführt. Auf der EGE wird über je nach zu verarbeitendem Einheitssignal über aufzulötende Präzisionswiderstände ein Meßbereichsendwert von 1 V erzeugt. Unmittelbar nach dieser Wandlung folgt pro Meßstelle ein einstufiges RC-Filter zur Dämpfung der Gegentaktstörspannungen. Dem Filter folgen die Schutzgaskontakte des je Meßstelle zweipolig ausgeführten Meßstellenumschalters. Der positive Meßspannungspol wird über ein weiteres Filter zur Dämpfung von Umschaltstörspitzen mit dem AD-Wandler-Schaltkreis verbunden.

Die AD-Umsetzung erfolgt mit 10 bit Auflösung, d.h. 0 bis 1 V ADU-Eingangsspannung werden auf 0...999 umgesetzt.

Die asynchrone Arbeitsweise des eingesetzten Umsetzerschaltkreises C 520 erfordert eine spezielle Ablaufsteuerung und Zwischenspeicherung des Digitalwertes.

5.2.4.1. Eingangsorganisation

Die Umsetzung der Einheitssignale auf die Eingangsspannung des Analog-Digital-Umsetzers erfolgt über folgende Anordnungen der Meßwiderstände:

Einheitssignal	R 401...R 406 BR 401...BR 406	R 407...R 412
0...5 mA	Brücke	200 Ohm
0/4...20 mA	Brücke	49,9 Ohm
0...1 V	Brücke	offen
0...10 V	94,2 kOhm	10,5 kOhm
0...5 V	94,2 kOhm	23,7 kOhm

Eingesetzt werden Präzisionswiderstände mit 0,1 % Toleranz, TK 15, Baureihe 21, Bauform 309, TGL 43052. Der Endwert des Einheitssignals wird mit folgendem Wandlungsfaktor auf 1 V umgesetzt.

Einheitssignal	Wandlungsfaktor	Abweichung vom Wandlungsfaktor 1
0...5 mA	1	0
0/4...20 mA	0,998	- 0,002 (- 0,2 %)
0...1 V	1	0
0...5 V	1,005	+ 0,005 (+ 0,5 %)
0...10 V	1,0029	+ 0,0029 (+ 0,29 %)

Die Abweichungen vom Wandlungsfaktor 1 sind eine Folge der Stufung der Widerstände der Baureihe 21 nach E 192.

Solange alle 6 Meßstellen das gleiche Einheitssignal verarbeiten, wird die Abweichung vom Wandlungsfaktor 1 mit dem Endwertpotentiometer R 432 ausgeglichen.

Bei unterschiedlichen Einheitssignalen kann durch entsprechenden Abgleich des Endwertpotentiometers R 432 die Abweichung halbiert werden.

Beispiel:

Einheitssignal	Durch R 432 korrigierter Wandlungsfaktor	Abweichung vom Wandlungsfaktor 1
0...20 mA	0,9965	- 0,0035 (- 0,35 %)
0...5 V	1,0035	+ 0,0035 (+ 0,35 %)

Bei höheren Genauigkeitsforderungen ist der Wandlungsfaktor durch zu R 407...R 412 parallel geschaltete Widerstände zu korrigieren. Diese hochohmigen Parallelwiderstände können auf Grund ihres geringen Einflusses auf den Wandlungsfaktor TK 100 haben.

5.2.4.2. Temperatureinfluß

Der Temperatureinfluß der Meßwiderstände ist auf Grund der eingesetzten Präzisionswiderstände $T_M \leq 0,03 \text{ \%}/10 \text{ K}$.

Der Temperatureinfluß des Analog-Digital-Wandlers C 520 einschließlich der Dickschichtregler entsprechend TGL 27423 für

Nullpunkt und Endwert beträgt:

Temperaturkoeffizient des Nullpunktes:

$$T_N \leq 250 \text{ } \mu\text{V}/10 \text{ K} = 0,025 \text{ } \%/10 \text{ K}$$

Temperaturkoeffizient des Endwertes:

$$T_E \leq 0,06 \text{ } \%/10 \text{ K}$$

Der maximale Temperatureinfluß der Eingangseinheit tritt am Meßbereichsendwert auf, da sich hier alle Temperatureinflüsse addieren können.

$$T_M + T_N + T_E \leq 0,115 \text{ } \%/10 \text{ K}$$

Der einzuhaltende Grenzwert beträgt 0,2 %/10 K.

5.2.4.3. Störspannungsdämpfung

Gegentaktstörspannungen liegen zwischen den Meßklemmen. Sie können vom Meßsignal nur durch den unterschiedlichen Frequenzbereich getrennt werden.

In der Meßpraxis treten insbesondere Störspannungen mit der Netzfrequenz $f = 50 \text{ Hz}$ und deren Vielfache auf.

Zu ihrer Dämpfung ist je Meßstelle ein einstufiger RC-Tiefpaß mit einer Zeitkonstante von 100 ms ($27 \text{ k}\Omega$, R 413 - 418; $3,3 \text{ } \mu\text{F}$, C 401 - 406) vorgesehen.

Die Dämpfung bei $f = 50 \text{ Hz}$ ist größer

$$a_{GG} = 30 \text{ dB}$$

$$a_{GG} = 20 \log \frac{U_{\text{Meßstelle}}}{U_{e \text{ C } 520}}$$

Gleichtaktstörspannungen treten zwischen der System- und der jeweiligen Meßstellenerde auf. In der Meßpraxis treten insbesondere Störspannungen mit der Netzfrequenz $f = 50 \text{ Hz}$ und deren Vielfachen auf.

Zum Abgleich des Endwertes muß entsprechend des Meßbereiches ein Signal eingespeist werden, bei dem sich am Anschluß 13 von N 401 eine $U_e = 900,00 \text{ mV} \pm 0,09 \text{ mV}$ ergibt. Der Abgleich erfolgt nach TGL 98014. Nach erfolgtem Nullpunkt- und Endwertabgleich werden die Meßkanäle 1 bis 6 durchgeschaltet und bei einem Eingangssignal von 900 mV der angezeigte Wert abgelesen. Ein Fehler von 0,2 % darf nicht überschritten werden.

5.2.4.5. Digitalteil

Die Ausgabe des Meßwertes erfolgt durch den eingesetzten Umsetzerschaltkreis C 520 (N 401) im BCD-Format in Form von 3 Digit. Die drei Digitausgänge sind mit einer RC-Kombination zur Unterdrückung von störenden Nadelimpulsen (R 425, R 426 und R 427 sowie C 410, C 411 und C 412) verbunden und steuern über je ein NOR-Gatter (D 401/1...3) die positiv flankengetriggerten Register (D 404...406), die die aktuellen Digits von den Ausgängen Q_A bis Q_D des C 520 übernehmen. Durch die zweiten Eingänge der NOR-Gatter wird der Übernahmetakt für die Register, Meßpunkt (10), (11) und (12), während der Meßphase des C 520 gesperrt. Die BCD-Ausgänge Q_A bis Q_D des C 520 sind in Zusammenhang mit den Pull-up-Widerständen (R 430) in der Lage, drei CMOS-Eingänge direkt zu treiben.

Den Registern für die Digits D 404...406 sind zur Steuerung der Zuordnung in Bytes die Treiberschaltkreise V 40098, D 407 und D 408 nachgeschaltet.

D 404 speichert das MSD (Höchstwertiges Digit 10^2) und ist mit den über CE 1 steuerbaren vier Treibern von D 408 verbunden.

D 405 speichert das NSD (Mittelwertiges Digit 10^1) und ist mit den über CE 1 steuerbaren vier Treibern von D 407 verbunden.

D 406 speichert das LSD (Niedrigstwertiges Digit 10^0) und ist mit den jeweils zwei über CE 2 steuerbaren Treibern der Schaltkreise D 407 und D 408 verbunden.

Durch aufeinanderfolgende Freigabe der Treiber in D 407, 408 über CE 1 und CE 2, Meßpunkt (13) und (14), werden an den Bustreiber D 410 zwei Bytes, die die drei Digits des letzten aktuellen Meßwertes enthalten, geschaltet. Es gilt dabei die Zuordnung der Digits zu den Bytes:

Digit	1. Byte				2. Byte											
	MSD	NSD			LSD	/	-									
Bit	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0

Das niedrigstwertige Halbbyte des 2. Byte ist nicht belegt. Zusätzlich werden zur hardwaremäßigen Auswahl der Zahl der zu registrierenden Meßstellen über D 409 6 bit eines weiteren Byte vom Rechner eingelesen. Mit den DIL-Schaltern S 401.1 bis S 402.4 werden die 6 bit festgelegt.

Die Bereitstellung der Freigabesignale CE 1, CE 2 und OE der Schaltkreise D 407, 408, 409 und D 410 erfolgt durch Auswertung der Signale des K 1520-Busses am Steckverbinder. Die Auswertung wird mit dem Decoder DS 8205, D 412 und den Gattern DL 010, D 414/1...3 und DL 002, D 413/1...2 durchgeführt.

Laut Bild 25 (Meßstelle, Relaisschaltspannung, DS 8282 PIN 14...19, Meßpunkte (1) und (2)) wird jede Meßstelle 20 ms eingeschaltet. Zur Steuerung der Meßwertübernahme wird weiterhin über PIN 13 D 411 der STROBE-Impuls ausgegeben (Meßpunkt (3)). STROBE geht 6 ms nach Einschalten der Meßstelle von L auf H und schaltet den C 520, N 401 über PIN 6 (Meßpunkt (9)) von der Betriebsart "Halt" in "Schnelles Messen" um. Der Analog-Digital-Umsetzer C 520 besitzt einen internen Oszillator, der die Umsetzrate und die Ausgabefrequenz der Digitimpulse (MSD, NSD, LSD) (Meßpunkt (4) , (5) und (6)) bestimmt. Die Frequenz dieses internen Oszillators ist von außen nicht steuerbar und nur von Schaltkreisparametern abhängig. Mit der Umschaltung der Betriebsart des C 520 auf "Halt" wird der interne Oszillator nicht gestoppt. Es werden weiterhin die Digitimpulse ausgegeben. Die BCD-Ausgänge $Q_A \dots Q_D$ geben während des "Halt"-Zustandes unverändert die letzten vor dem "Halt" umgesetzten Digits aus.

Mit den Flip-Flop V 4013 D 403/1...2 und den Gattern V 4011 D 402/2...4 wird dafür gesorgt, daß der C 520 eine korrekte Meßphase ausführt, bevor er wieder auf "Halt" geschaltet wird. Dazu wird durch den zu Beginn der Meßphase 6 ms lang auf L geschalteten STROBE der ADU auf "Halt" gesteuert. Der Signal-

weg ist so, daß D 402/3 PIN 10 auf H und über VT 402 der PIN 6 des ADU, N 401 auf etwa +1,2 V gebracht wird. Der Ausgang Q_2 , PIN 13, D 403/2 ist wirkungslos, da das nachfolgende &-Gatter D 402/3 am PIN 9 auf L ist.

Mit dem Übergang von STROBE von L auf H werden über das Gatter D 402/4 die Setzeingänge S_1 und S_2 der Flip-Flop D 403/1...2 auf L gesteuert. Die zuvor auf H gesetzten Ausgänge Q_1 und Q_2 D 403/1...2 sind über die Daten- und Takteingänge steuerbar. Zur Steuerung von Q_1 , D 403/1 (Meßpunkt (7)) wird der L→H-Übergang des LSD von N 401 genutzt.

Zur Steuerung von Q_2 , D 403/2 (Meßpunkt (8)) wird der L→H-Übergang des negierten MSD von N 401 genutzt.

Die Umschaltung von Q_1 auf L hat zunächst keine Wirkung auf die Arbeitsweise des ADU. Sie ist aber Voraussetzung für die Umschaltung von Q_2 D 463/2 und damit PIN 10 D 402/3 auf L. Damit wird die Meßphase, gekennzeichnet durch $>3,2$ V an PIN 6 N 401, beendet. Über D 402/2 werden gleichzeitig die PIN 2, 8, 12 D 401/1...3 auf L gesteuert und die Digitimpulse zur Taktung der Register D 404...406 freigegeben. Die L→H-Flanken der Digitimpulse steuern negiert die Übernahme der Ausgänge $Q_A...Q_D$ des N 401 in die Register D 404 bis D 406. Für die Ausführung einer Messung einschließlich der Übergabe der drei Digits benötigt der C 520 auf Grund seiner vom Mikrorechner asynchronen Arbeitsweise zwischen fünf und neun Ausgabeimpulsen einschließlich Meßphasen.

Diese Zahl setzt sich zusammen aus: 1. Null bis vier Ausgabeimpulsen bis zur Auslösung einer gültigen Messung durch die L→H-Flanke des LSD (PIN 3, D 403/1). 2. Zwei Ausgabeimpulse während der Messung (Meßphase mit vorgeschaltetem Sicherheitsabstand von einer Ausgabeimpulsbreite). Die Meßphase wird durch das negierte MSD an PIN, D 403/2 beendet. 3. Drei Ausgabeimpulse für die Übernahme der Digitalwerte. Der gesamte Meß- und Übernahmeprozess erfolgt in 20 ms pro Meßstelle. Der zeitlich ungünstige Fall dieses Vorgangs setzt sich aus 7 Digitausgabeimpulsen und 2 Meßphasen des C 520 zusammen. Die Dauer einer Meßphase beträgt das 1,35-fache der Digitsausgabeimpulse.

Die zur Verfügung stehenden 20 ms teilen sich damit in 9,7 Ausgabeimpulse auf.

Damit beträgt die min. Digitausgabeimpulsdauer:

$$T_A = \frac{20 \text{ ms}}{9,7} = 2,06 \text{ ms}$$

Die min. Umsetzdauer (3 Ausgabeimpulse und eine Meßphase) dauert:

$$T_U = 2,06 \text{ ms} \cdot 4,35 = 8,96 \text{ ms}$$

Die min. Umsetzfrequenz des C 520 beträgt:

$$f_U = \frac{1}{T_U} = 111,5 \text{ Hz}$$

Festgelegt werden: 115 Hz

5.2.4.5. Servicehinweise

Auf der Basis der vorliegenden Funktionsbeschreibung der Leiterplatte kann die Fehlerlokalisierung weitgehend im PMM 100 erfolgen.

Voraussetzung ist, daß durch die Eingangseinheit die Funktion des Rechners nicht unterbrochen wird. Dieser Fall kann auftreten, wenn der Systembus (Verbinder X 401) durch die Eingangseinheit gestört wird. Ursache können defekte Treiberschaltkreise D 411, D 412, der Schaltkreis D 414 oder direkte Kurzschlüsse am Systembus sein.

In komplizierten Fällen ist dann die Leiterplattenreparatur auf dem dazu vorhandenen Prüfgerät durchzuführen. Im weiteren werden Hinweise zur Reparatur der Eingangseinheit im Zusammenwirken mit dem PMM 100 gegeben.

Fehlererscheinung	Reparaturhinweise
- Eine Meßstelle wird nicht registriert und nicht angezeigt	1. Prüfen, ob S 401 und S 402 eingeschaltet 2. Prüfen des Steuerwortes zur Meßstellenauswahl

Fehlererscheinung

Reparaturhinweise

- | | |
|--|---|
| <ul style="list-style-type: none"> - Ein Meßwert liegt außerhalb der Klassengenauigkeit - Nullpunkt bzw. Endwert aller Meßstellen außerhalb der Klassengenauigkeit - Nullpunkt aller Meßstellen driftet - Alle Meßwerte zeigen starke, kurzzeitige Abweichungen, die zeitlich zufällig auftreten (Spratzer) - Bei kontinuierlich zunehmender Meßspannung treten Sprünge der Anzeige und Registrierung auf - Meßstellen sind nicht einschaltbar | <ul style="list-style-type: none"> 3. Prüfen auf Unterbrechung der Meßleitungen zwischen AKP und EGE 4. Prüfen der Ansteuerimpulse an den Meßstellenrelais 5. Prüfen der Meßbereichswiderstände, Brücken des Filters sowie der Meßstellenrelais 1. Prüfen der Meßbereichswiderstände 1. Nullpunkt bzw. Endwertstellpotentiometer (R 432, R 433) 2. R 420, R 421, C 409, N 401 1. Übergangswiderstand auf der Leiterplatte in der Umgebung von N 401 (LP waschen und trocknen!) 2. C 409, N 401 1. Umschaltfrequenz des C 520 ist kleiner 112 Hz 2. Ursache ist die Steuerung zwischen Meßwertumsetzung und Halt des N 401. Zu überprüfen sind die Impulsbilder an den Meßpunkten
 (9) , (7) , (8) , (10) ,
 (11) , (12) 1. Ursache: Schlüsse oder Unterbrechungen an den Digit bzw. Datenleitungen zwischen den Schaltkreisen D 404 bis D 410 1. Ursache: S 401, S 402, R 431 2. CE an PIN 1 und 15 an D 409 fehlt |
|--|---|

Fehlererscheinung	Reparaturhinweise
- Es werden keine Digitalwerte ausgegeben	1. PIN 9 (Meßpunkt (15)) D 410 wird nicht angesteuert. Fehler in der Decodierung D 414, DS 8205

5.2.5. Optokopplerplatte

5.2.5.1. Funktionsprüfung

5.2.5.1.1. Kopplerplatte OC (offener Kollektor)

Es ist für alle Kopplerstufen der Schaltungspunkt zu ermitteln. Er muß im Bereich $I_P = 1...4$ mA liegen.

Belastung des Schalttransistors: $U_{CE} = 20$ V, $I_C = 100$ mA

Restspannung des Schalttransistors: $U_{CESAT} < 1,0$ V

5.2.5.1.2. Kopplerplatte TTL

Ermittlung des Schaltungspunktes wie unter Pkt. 5.2.5.1.1.

Ausgangsbelastung: 1 TTL-Last

Die Einhaltung der TTL-Bedingungen ist zu prüfen.

5.2.6. Relaisplatte

Elektrische Bedingungen der Relaisprüfung:

$$U_{err} = 5 \text{ V } \pm 5 \% \quad (\text{Erregerspannung})$$

$$U_s = 42 \text{ V } \pm 5 \% \quad (\text{max. Schaltspannung})$$

$$I_s = 100 \text{ mA } \pm 5 \% \quad (\text{max. Schaltstrom})$$

Die Last muß L- und C-frei sein.

5.3. Schaltnetzteil (SNT)

5.3.1. Realisierungsprinzip

Das Schaltnetzteil (SNT) arbeitet nach dem Wirkprinzip eines Sperrwandlers. Es ist damit möglich, drei galvanisch getrennte Ausgangsspannungen zu erzeugen:

Spannung	Versorgung
+5 V	Elektronik
+15 V	Antriebsmotor; Ableitung der Zeilenheizspannung
-15 V	Antriebsmotor

Sperrwandler besitzen eine relativ hohe Welligkeit der Ausgangsspannungen und sind nicht leerlauffest. Sie benötigen stets eine Grundlast an der Ausgangsspannung, die geregelt wird. Die Grundlast wird im SNT des PMM 100 durch einen Strom von 2 A an der 5 V-Ausgangsspannung realisiert.

Das SNT wurde so aufgebaut, daß die 5 V-Spannung über eine Pulsdauermodulation bei konstanter Frequenz geregelt wird, während die +15 V-Spannung und die -15 V-Spannung nur über den magnetischen Fluß im Kern mit erfaßt werden. Wesentlichen Einfluß hat dabei die enge Kopplung der Wicklungen untereinander, die durch den konstruktiven Aufbau des Leistungsübertragers bestimmt wird.

5.3.2. Aufbau des Schaltnetztes

Das SNT des PMM 100 bildet eine in sich kompakte Baugruppe. Es setzt sich mechanisch aus Grundleiterplatte SNT (Bild 32); Steuerleiterplatte SNT (Bild 33); Schutzleiterplatte SNT (Bild 34); Netzelko C 707; Transistorkühlblech, kpl. (Bild 35); Diodenkühlkörper, kpl. (Bild 36); dem Chassis sowie der Schirmleiterplatte zusammen.

Die Netzspannungszuführung sowie die Kontaktierung der Ausgangsspannungen erfolgt über Anschlußlitzen. Der prinzipielle elektrische Aufbau aus den Unterbaugruppen ist in Bild 37 dargestellt.

5.3.2.1. Netzfilter

Das Netzfilter des SNT wurde zweigeteilt, um seine Funktion optimal an die konstruktiven Gegebenheiten anzupassen.

Es besteht im wesentlichen aus zwei Entstörkondensatoren C 701 und C 702 mit (x)- und (y)-Kapazitäten und einer Stabkerndrossel L 701, wobei L 701 und C 701 sich an der Rückseite

der Anschlußklemmplatte des PMM und R 701 und C 702 sich auf der Grundleiterplatte des SNT befinden. Das Netzfilter dient zur Verbindung mit den angewendeten konstruktiven Maßnahmen zur Einhaltung der geforderten Funkstörgrade bzw. zur Verminderung von Netzurückwirkungen.

5.3.2.2. Netzspannungsgleichrichtung und Siebung

Die Netzspannung wird durch eine Graetz-Brücke gleichgerichtet und durch den Ladewiderstand R 702 dem Netzkondensator C 707 zur Siebung zugeführt. Dieser Kondensator dient bei Betrieb des SNT ebenfalls zur Überbrückung kurzzeitiger Netzspannungsausfälle.

5.3.2.3. Ansteuerschaltkreis B 260, Schutzfunktionen, Regelstrecke

Das SNT ist so aufgebaut, daß es neben den sekundärseitigen Ausgangsspannungen die primärseitige Hilfsspannung für die Ansteuerelektronik selbst erzeugt. Programmiert mit R 828 und C 810 schwingt der interne Taktgenerator des B 260 mit 18 kHz. Das aus der internen Betriebsspannung des B 260 gewonnene Spannungssignal an PIN 6 legt ein maximales Tastverhältnis von ca. 0,6 fest. Der interne Regelverstärker wird durch die Spannung an PIN 3 blockiert.

Da der interne Überspannungsschutz des B 260 für langsame Spannungsänderungen ungeeignet ist, wurde ein externer Komparator mit N 804 vorgesehen. Dieser überwacht im Havariefall die Hilfsspannung als eine den Ausgangsspannungen äquivalente Spannung und legt bei Überschreitung des Sollwertes den Fernsteuer-eingang des B 260 auf Masse, wodurch der Ausgangstransistor des IS gesperrt wird. Über R 819 wird an MP 5 der maximal zulässige Kollektorstrom von VT 803 festgelegt (300 mV_{SS} bei 5 V/4 A und 15 V/2 A). Bei Überschreiten der Schwelle treten die integrierten Überstromschutzschaltungen des B 260 in Funktion, wodurch ebenfalls die Ausgangsimpulse des IS unterbrochen werden.

Um eine hohe Genauigkeit der 5 V-Rechnerspannung zu gewährleisten, erfolgt der Soll-/Istwert-Vergleich sekundärseitig.

Der sekundärseitige Regel-OV N 802 wird aus der 5 V-Spannung

gespeist, aus der ebenfalls der Sollwert gewonnen und mit dem Spannungswert der Referenzspannungsquelle N 803 verglichen wird. Der aus der Regelabweichung resultierende Strom durch den Optokoppler U 801, über den die Potentialtrennung der Regelschleife realisiert wird, bestimmt den Spannungspegel am Regeleingang des B 260 und damit das Tastverhältnis der Ansteuerimpulse der Schalttransistoren.

Zur Verbesserung der Linearität der Übertragungskennlinie des Optokopplers wurde die Basis des Fototransistors vorgespannt.

5.3.2.4. Hochspannungstransistor und SOAR-Glied

Als Hochspannungstransistor wurde auf Grund seiner relativ hohen Stromverstärkung der Bipolartransistor SU 169 eingesetzt. Aus der Netzspannung von $220\text{ V} \sim \begin{matrix} +10\% \\ -15\% \end{matrix}$ ergeben sich zu schaltende Gleichspannungswerte von $U_e = (264 \dots 342)\text{ V}$. Die Schaltfrequenz liegt üblicherweise oberhalb des menschlichen Hörbereiches zwischen 16 kHz und 25 kHz, hier speziell um 18 kHz.

Bei Sperrwandlern, die eine hohe induktive Rückschlagspannung erzeugen, geht man von folgenden Auswahlkriterien aus:

Bedingung	bei Verwendung von SU 169
$U_{CEO} > U_e$	$700 > 342$
$U_{CBO} > 2 U_e \cdot K^x$	$1000 > 2 \cdot 342 \cdot 1,2$

x) Sicherheitsfaktor K für Berücksichtigung von Impulsspitzen und Überschwüngen.

Weitere Kriterien sind max. Kollektorstrom, kurze Anstiegs- und Abfallzeiten des Kollektorstromes sowie eine möglichst kleine Kollektor-Emitter-Sättigungsspannung.

Zur exakten Einhaltung des sicheren Arbeitsbereiches (SOAR) sind im wesentlichen zwei Bedingungen einzuhalten:

1. die Schutzbeschaltung des Leistungstransistors
2. die Ansteuerung des Leistungstransistors

Die Schutzbeschaltung besteht im SNT des PMW 100 aus VD 901, R 901 und C 901.

Sie verhindert ein zu schnelles Ansteigen von U_{CE} beim Abschalten des Transistors. Die Grenze von $U_{CEO} = 400 \text{ V}$ wird erst dann erreicht, wenn der Kollektorstrom annähernd Null ($I_C \leq 3 \text{ mA}$) ist. C 901 übernimmt beim Abschalten den Kollektorstrom I_{Cmax} , während I_C linear mit der Fallzeit t_A ($t_A \approx 1 \text{ } \mu\text{s}$) abnimmt.

Beim Einschalten des Transistors muß R 901 den Entladestrom des Kondensators so begrenzen, daß die SOAR-Grenzen des Transistors hierbei nicht überschritten werden. Er muß jedoch auch so klein sein, daß C 901 auch in der kleinsten vorkommenden Leitphase sicher entladen wird.

Es gilt:

$$\frac{U_{emax}}{I_{Cmax}} \leq R_{901} \leq \frac{T}{20 C_{901}}$$

$$C_{901} \geq \frac{I_E t_A}{2 U_{CE}}$$

Als Diode wurde eine schnelle "soft-recovery"-Diode mit einer Sperrerrholzeit $\leq 0,4 \text{ } \mu\text{s}$ eingesetzt.

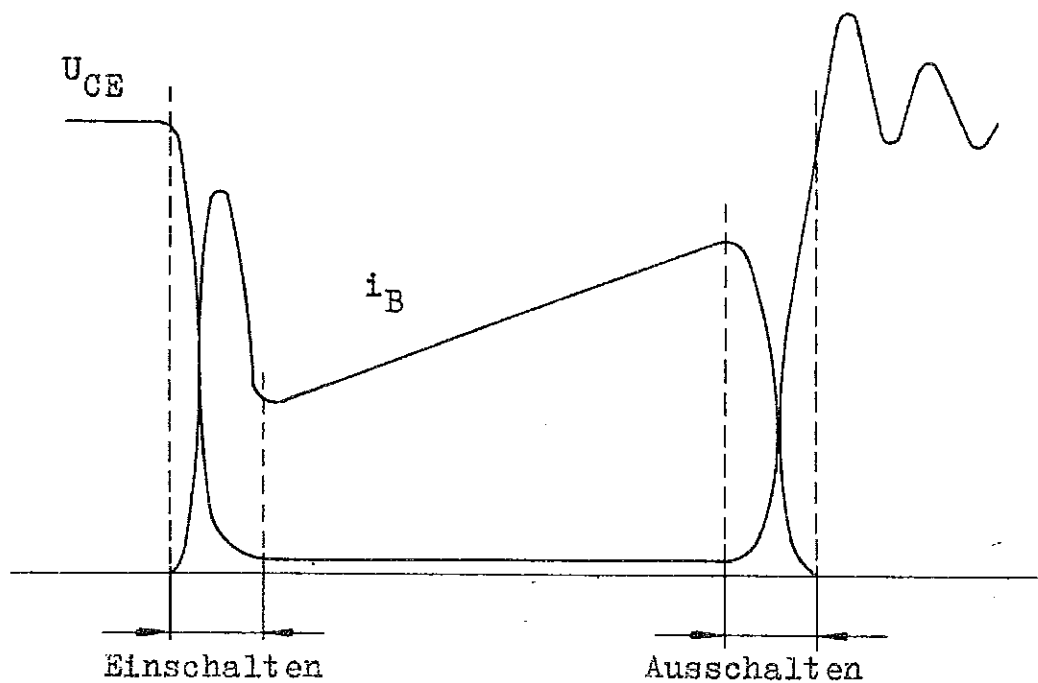
Die Größe von C_{901} wurde so weit wie möglich minimiert, da diese direkt die im Schutzglied auftretende Verlustleistung bestimmt.

5.3.2.5. Ansteuerung des Leistungstransistors

Die Ansteuerung von bipolaren Hochspannungstransistoren ist nach folgenden Gesichtspunkten zu dimensionieren.

Beim Einschalten soll der Basisstrom möglichst stabil ansteigen und etwas überschwingen. Übersteuerungsfaktoren von 2 bis 3 sind üblich, während im eingeschalteten Zustand ein Basisstrom von $0,2 I_C$ angestrebt wird, der proportional zum Kollektorstrom wächst.

Strom- und Spannungsverläufe beim Transistor sind nachfolgend dargestellt.



Strom- und Spannungsverläufe am Transistor

Um beim Ausschalten die Kollektorzone von überflüssigen Ladungsträgern zu befreien, muß der Basisstrom nach Möglichkeit erst erniedrigt und dann in negativer Richtung eingespeist werden. In der verwendeten Schaltung wird VT 803 über einen Übertrager T 801 angesteuert. Man erreicht damit eine relativ günstige Ansteuerung des Leistungstransistors. Es kann auf die Bereitstellung einer negativen Ansteuerspannung verzichtet werden, da der negative Ansteuerimpuls vom Trafo T 801 ausgebildet wird. C 806 wirkt als "Speed up" - Kondensator. Er unterstützt die Ausbildung des negativen Impulses und verringert damit die Speicherzeit beim Sperren von VT 803. Zur Minimierung der damit verbundenen hohen Abschaltverluste dient die zusätzliche Basisinduktivität L 802, die den Basisstrom langsamer abnehmen läßt und den negativen Basis-Emitter-Durchbruch unterstützt. Dämpfungswiderstand R 818 verhindert eine parasitäre Oszillation im Basiskreis und damit eine Zerstörung des Transistors.

5.3.2.6. Anlaufschaltung

Die Stromversorgung des Steuerteils erfolgt über eine gesonderte Sekundärwicklung. Bis zum stabilen Arbeiten des SNT muß deshalb diese Spannung aus der gleichgerichteten Netzspannung abgeleitet werden. Diesen Zweck erfüllt die Anlaufschaltung. Über die Transistorstufe VT 801 erfolgt eine Aufladung von C 801 auf die von VD 801 und VD 802 vorgegebene Z-Spannung abzüglich der U_{BE} von VT 801. Bevor dieses Potential erreicht ist, entsteht über VD 804 die Zündspannung des Diacs. Thyristor VD 803 wird gezündet und die gespeicherte Energie von C 801 auf C 802 umgeladen. Zum Schutz des B 260 vor zu hoher Betriebsspannung werden entstehende Spannungsspitzen von der Z-Diodenkombination VD 805/VD 806 beseitigt. Die auf C 802 umgeladene Energie genügt zum Anschwingen des Sperrwandlers. Nachdem seine Hilfsspannung selbst erzeugt wird und diese über VD 808 und VD 807 an C 802 anliegt, wird der Haltestrom des Thyristors unterschritten und die Zündspannung des Diacs nicht mehr erreicht. Die Anlaufschaltung wird blockiert, und es fließt nur der geringe Ruhestrom über R 801 und die Z-Diodenkombination.

5.3.2.7. Leistungsübertrager

Als Übertrager wurde ein EC 70-Kern vom VEB Keramische Werke Hermsdorf verwendet. Er besitzt einen runden Mittelschenkel und zeichnet sich durch geringe Streuinduktivität aus, die besonders bei Sperrwandlern erforderlich ist.

Die Kerngröße wurde auf Grund des nötigen Wickelvolumens bestimmt. Wesentlichen Einfluß haben dabei die Anzahl der Ausgangsspannungen. Da diese stark pulsformig belastet werden, muß das Tastverhältnis bei maximaler Eingangsspannung und minimaler Last an der unteren Grenze sein, was relativ hohe Sekundärwindungszahlen bedingt.

Die nötige Kerninduktivität wird bei EC-Kernen durch den Luftspalt im Mittelschenkel bestimmt. Hier erfolgte eine Kernhälftenpaarung von 0,15 mm und 1 mm.

Bei Schaltnetzteilen können auf Grund der hohen Schaltfrequenz keine Wickeldrähte mit Durchmessern größer 0,8 mm verwendet werden, da Stromverdrängung und Wirbelstromverluste bereits

beträchtlich sind. Für größere Ausgangsströme sind mehrere Drähte parallel zu wickeln.

Wesentlichen Einfluß auf die Funktion, den Wirkungsgrad und den Funkstörgrad haben die Anordnung der Wicklungen, der sich daraus ergebende Kopplungsfaktor sowie die Anordnung der Schirme. Die Wicklungsanordnung stellt somit einen Kompromiß zwischen optimalem Koppelfaktor und dem wickeltechnischen Aufwand dar.

Jegliche Abweichung von der Wickelvorschrift hat daher direkten Einfluß auf die Vielzahl der einzuhaltenden Faktoren und führt unweigerlich zu fehlerhaften Schaltnetzteilen.

5.3.2.8. Sekundärseitige Gleichrichtung und Siebung

Zur sekundärseitigen Gleichrichtung sind "schnelle" Dioden mit Sperrerrholzeiten von $t_{rr} < 500$ ns erforderlich. Sie sollten nach Möglichkeit "soft-recovery-Verhalten" besitzen, um hochfrequente Störspannungen zu vermeiden. Im SNT des PMM 100 fanden zwei Epitaxi-Leistungsdioden SY 625/100 mit einer Sperrerrholzeit von < 50 ns sowie eine Schottky-Diode SY 526/045 Einsatz.

Bedingt durch die Gerätekonzeption des PMM 100 ist ein hoher Wirkungsgrad des SNT notwendig. Einen wesentlichen Einfluß auf den Gesamtwirkungsgrad besitzen dabei die sekundärseitigen Gleichrichterioden. Bei niedrigen Spannungen und großer Strombelastung eignen sich Schottky-Dioden besonders gut. Neben ihrer funktionsbedingt sehr niedrigen Sperrerrholzeit von 1...10 ns besitzen sie ebenfalls extrem geringe Flußspannungen (SY 526 : $U_F = 0,3...0,5$ V). Sie sind jedoch auf Grund ihrer geringen Sperrspannung nur bei kleinen Ausgangsspannungen einsetzbar.

Durch den Einsatz dieser schnellen Dioden wird die beim Sperren des Transistors durch Rücktransformation entstehende Überspannungsspitze unterdrückt. Dadurch werden die Umschaltverluste gesenkt und die Zuverlässigkeit des Gerätes erhöht.

Für den Einsatz in der sekundärseitigen Siebung ergeben sich höhere Forderungen an die Kondensatoren. Die steilen Impulsflanken bedingen größere mechanische Belastungen der Wickelkontaktierungsfahnen, zum anderen sind geringere Serien-L und

Serien-R nötig. Diese Forderungen werden durch die eingesetzten impulsfesten Elkos nach TGL 38454 erfüllt. Da bei Sperrwandlern die auftretenden Rippelströme (überlagerte Wechselströme) sehr hoch sind, wurden im Siebglied noch Reihen-Induktivitäten (UKW-Drosseln) und zur Verbesserung des HF-Verhaltens keramische Kondensatoren parallel zu den Elektrolyt-Kondensatoren angeordnet.

Die parallel zur 5 V-Spannung angeordnete 5,6 V-Z-Diode stellt einen Teil des Überspannungsschutzes dar. Sie bildet im Störfall beim Durchbrennen einen Kurzschluß und löst damit auf der Primärseite den Überstromschutz aus.

5.3.2.9. Heizspannungsstabilisierung

Für die Thermodruckzeile ist je nach Substrat eine Spannung im Bereich von (9...11) V bereitzustellen. Diese Heizspannung wird aus der +15 V-Spannung abgeleitet und bei der Belegung des PMM 100 mit R 843 einmalig auf den erforderlichen Wert eingestellt.

Da die Zeile die Eigenschaft besitzt, im Einschaltaugenblick die Heizpunkte undefiniert anzusteuern, wurde die Heizspannungsbereitstellung verzögert. Über Transistor VT 806 und Widerstand R 845 läuft die Ausgangsspannung der Stabilisierungsschaltung in ca. 2 s langsam auf den eingestellten Sollwert hoch.

5.3.3. Funktionsbeschreibung

Für die Beschreibung der Funktion wurde der Betriebsfall 5 V/2 A, ± 15 V/150 mA bei einer Netzspannung von 180 V \sim vorausgesetzt. Die Angabe der Spannungswerte und Oszillogramme in Bild 39/40 beziehen sich auf diesen Lastfall.

Beim Anlegen der Netzspannung erfolgt über das Netzfilter, die Gleichrichterbrücke und den Ladewiderstand R 702 die Aufladung des Stützelkos C 707. An Anschlußpunkt AP 5 entsteht das entsprechende Spannungspotential (Bild 39) und die Anlaufschaltung beginnt zu arbeiten. Über VT 801 beginnt sich der Elko C 801 aufzuladen. Die Spannung an MP 1 (Bild 39) steigt bis zum Zündspannungswert des Diacs und wird im

Sekundenrhythmus auf C 802 (MP 2) umgeladen (Bild 39/40). Bei einer Spannung von größer (8,7...10) V an MP 2 beginnt die Ansteuerschaltung des B 260 zu arbeiten. Er erzeugt Ausgangsimpulse (MP 7), deren Tastverhältnis sich bei konstanter Frequenz über den durch C 809 programmierten Sanftanlauf von Null bis zum Arbeitstastverhältnis vergrößert.

Über Treibertransistor VT 802 und Ansteuertrafo T 801 erfolgt die Ansteuerung des Leistungstransistors VT 803. In Bild 40 ist die Basisimpulsform an MP 8 dargestellt.

Im angeschwungenen Zustand steht an MP 2 die selbst erzeugte Hilfsspannung ca. 11,5 V, die Anlaufschaltung sperrt und das Spannungspotential an MP 1 läuft annähernd auf das volle Z-Spannungspotential hoch (Bild 39). Bei nicht angesprochenem Überspannungsschutz liegt an MP 6 das Z-Spannungspotential von VD 810. Bei Überspannungsauslösung würde MP 6 Massepotential führen.

Das Potential an MP 3 blockiert den internen Regelverstärker, während das Potential an MP 4 das Tastverhältnis bestimmt (Bild 39).

Die 5 V-Ausgangsspannung wird über die Regelstrecke erfaßt und annähernd konstant gehalten. Die ± 15 V-Spannungen besitzen ein relativ weiches Verhalten und sind stark lastabhängig. Die Höhe der Ausgangsspannungen ist für den gewählten Lastfall in Bild 39 angegeben.

Der sekundärseitige Regelverstärker N 802 vergleicht das Referenzspannungssignal an PIN 2 mit dem aus der 5 V-Spannung abgeleiteten Ist-Signal an PIN 3 (MP 10) und versucht über die Regelstrecke das Ist-Signal anzugleichen. Das Potential am Ausgang des Regelverstärkers (MP 11) bestimmt den Strom durch die Fotodiode des Optokopplers. Die Spannungshöhe an MP 11 ist in Bild 39 angegeben.

Die Stabilisierung der Heizspannung geschieht mit Hilfe von N 806, der strommäßig durch VT 805 erweitert wurde.

Beim Einschalten des SNT muß ein langsames Ansteigen der eingestellten Heizspannung an AS 3 zu beobachten sein. Dieses

bildet einen wesentlichen Schutz vor der Zerstörung der Thermo-
druckzeile bzw. des Schaltnetztes.

5.3.4. Fehlersuche

Die Fehlersuche erfolgt auf einem gesonderten Meßplatz. Folgen-
de Voraussetzungen sind dabei zu schaffen:

- .Adaptierung von Lastwiderständen an das SNT, einschließlich
der notwendigen Grundlast
- .Betreiben des SNT über Trennstelltrafo
- .Bereitstellung von zwei einstellbaren Spannungsquellen
(10 V/1 A und 20 V/2 A), einem Oszillographen und einem Digi-
talmultimeter

5.3.4.1. Handlungsanweisung zur Fehlersuche

Das SNT befindet sich im komplett montierten Zustand, ohne
Schirm-LE.

Ansteuerung

Die elektrische Verbindung zwischen Trafo T 701 Anschluß 1
und AP 1 der Steuer-LE wird aufgetrennt und zwischen AP 1 und
AP 3 eine Gleichspannung von ca. 13 V eingespeist. Dadurch
wird die primärseitige Ansteuerlektronik in Betrieb gesetzt.
Die typische Stromaufnahme beträgt dabei (95...115) mA. ①
Der B 260 liefert dabei Ausgangsimpulse mit maximalem Tastver-
hältnis von ca. 0,6. Von den gleichberechtigten Spannungsein-
gängen an PIN 4,5 und 6 liegt der bestimmende niedrigste Pegel
hierbei an PIN 6. Der Spannungsspitzenwert an MP 5 liegt un-
terhalb von 0,35 V, und an MP 6 liegt ein Spannungspotential
von (5,8...6,6) V. An MP 8 ist der Ansteuerimpuls des Lei-
stungstransistors entsprechend Bild 41 zu oszillografieren.

② ③

Überspannungsschutz

Die Spannung an AP 1 wird kurzzeitig bis maximal 20 V erhöht.
Im Bereich von (19...20) V kippt die Spannung des N 801 (B 615)
an MP 6 von (5,8...6,6) V auf Massepotential um und bewirkt
damit die Sperrung der Ansteuerimpulse.

○ Hinweis auf typische Fehler

Regelverhalten

Zwischen den Anschlußpunkten AS 1 und AS 4 wird eine Spannung angelegt, die von 4,5 V bis 5,5 V langsam erhöht wird. Die kontinuierliche Tastverhältnisänderung der Ansteuerimpulse von 0,6 bis 0 ist oszillografisch an MP 8 zu kontrollieren. (4)

Zeilenspannungsstabilisierung

Zwischen AS 2 und AS 4 wird eine Spannung von 15 V angelegt. Das langsame Hochlaufen der Ausgangsspannung in ca. 2 s ist zu kontrollieren. Mit Hilfe des Einstellreglers R 843 ist an AS 3 eine Ausgangsspannung von 9 V einzustellen, mit einem Strom von 1,6 A kurzzeitig zu belasten und auf Einhaltung der Spannungsstabilisierung zu kontrollieren. (5) (6)

Inbetriebnahme: Die Lastwiderstände sind zu adaptieren und die Netzspannungsanschlüsse AP 6 und AP 8 an den Trennstelltrafo anzuschließen. Die Netzspannung wird langsam erhöht, wobei die Stromaufnahme und die Basisimpulsform an MP 8 zu beobachten sind. (Netzspannung nur langsam erhöhen, da Schutzfunktion "Langsamanlauf" des B 260 aufgehoben ist!) (7) Bei Grundlast (5 V/2 A; ± 15 V/150 mA) wird das Maximum der Stromaufnahme von 0,6 A bei ca. 50 V erreicht.

(8) (9) (10)

An diesem Punkt erreicht die 5 V-Spannung ihren Sollwert und die Regelung setzt ein. Das Tastverhältnis an MP 8 verringert sich kontinuierlich (4), ohne daß Schwingverhalten festzustellen ist (11) und die Primärstromaufnahme geht zurück.

Bei 180 V \sim Netzspannung erfolgt eine Grobkontrolle der Ausgangsspannungen sowie die Einstellung der Strombegrenzung bei Maximallast, also +5 V/4 A und +15 V/2 A.

Mit dem Einstellregler R 819 wird der oszillografizierte Spannungsspitzenwert an MP 5 auf 0,3 V eingestellt.

Die Netzspannung wird auf Null Volt abgesenkt und die elektrische Verbindung zwischen Trafoanschluß 1 und AP 1 der Steuer-LE hergestellt.

Bei der Erhöhung der Netzspannung bis 245 V \sim erfolgt das Anschwingen des Netzteiles im Bereich von (80...100) V \sim .

⑫ ⑬ ⑭ ⑮

5.3.4.2. Typische Fehler

Fehler	Erscheinungsform/Abhilfe
① Diode VD 805 o. VD 806 defekt	Stromaufnahme größer 115 mA
② Transistor VT 803 defekt	Verzerrung Basissspannung von VT 803 an MP 8 (Bild 42)
③ Dioden VD 705, 706, 707 defekt	Verzerrung Basissspannung von VT 803 an MP 8 (Bild 43)
④ Schaltkreis N 802 defekt	Nichtansprechen der Regelung; unterschiedliche Potentiale an PIN 2 und PIN 3; Regelung der 5 V-Spannung auf falschen Wert
⑤ Transistor VT 805 defekt	15 V-Spannung liegt auch an AS 3 an
⑥ Transistor VT 806 defekt	Zeilenheizspannung läuft nicht langsam auf eingestellten Wert hoch, sondern liegt unverzögert an
⑦ Widerstand R 702 defekt	Keine Wechselstromaufnahme bei Netzspannungserhöhung; keine Spannung an AP 5; keine Änderung des Transistoransteuerimpulses an MP 8
⑧ Transistor VT 803 defekt	Sehr hohe Stromaufnahme bei geringer Wechselspannungshöhe; siehe ②
⑨ Diode VD 701...704 defekt	Sehr hohe Stromaufnahme bei geringer Wechselspannungshöhe, auch bei Nichteinspeisung der externen Hilfsspannung von 13 V-

Fehler	Erscheinungsform/Abhilfe
⑩ Diode VD 705, 706, 707 oder Trafowicklung verpolt	Sehr hohe Stromaufnahme bei geringer Wechselspannungshöhe; starkes Ansteigen der fehlerbehafteten Ausgangsspannung
⑪ Optokoppler mit zu hoher Verstärkung eingesetzt; eingesetzte L 704 wurde nicht abgewickelt (Bauabweichung); C 811 auf Steuer-LE nicht kontaktiert	Schwingen im Regelkreis und damit auch des Ansteuerimpulses von VT 803 an MP 8
⑫ Kondensator C 801 beschädigt	SNT schwingt nicht an; volle Z-Spannung an Basis von VT 801 vorhanden
⑬ Z-Dioden VD 801/VD 802 defekt	SNT schwingt nicht an; zu geringe Spannung an Basis von VT 801
⑭ Diode VD 808 defekt	SNT funktioniert bei externer Hilfsspannungseinspeisung an AP 1; schwingt jedoch bei Verbindung AP 1 mit Trafo nicht an
⑮ Dioden VD 805, VD 806 defekt	SNT funktioniert bei externer Hilfsspannungseinspeisung an AP 1; schwingt jedoch bei Verbindung AP 1 mit Trafo nicht an siehe ①
⑯ Abgewickelter und nicht gekürzter Draht von Drossel 704 liegt am Diodenkühlkörper an	Hochspannungsdurchschlag Schutzleiter/Sekundärseite

Fehler	Erscheinungsform/Abhilfe
⑰ Isolationsfolie am Diodenkühlkörper defekt	Hochspannungsdurchschlag Schutzleiter/Sekundärseite
⑱ Diode VD 808 zum Chassis hingebogen	Hochspannungsdurchschlag Schutzleiter/Primärseite

5.3.4.3. Endkontrolle reparierter Schaltnetzteile

Die Endkontrolle beinhaltet die Schutzisoliationsprüfung und die Kontrolle der Ausgangsspannungen auf Einhaltung der Toleranzgrenzen.

Schutzisoliationsprüfung: Die Hochspannungsprüfung erfolgt nach TGL 14283/07. Für die Prüfung sind jeweils die beiden Netzspannungsanschlüsse AP 6 und AP 8 sowie die sekundärseitigen Spannungsanschlüsse AS 1 bis AS 5 untereinander kurzzuschließen. Der Schutzleiteranschluß AP 7 ist mit dem Chassis zu verbinden. Die Prüfspannung nach Tab. 6 wird jeweils in 2 s auf ihren Maximalwert erhöht und 2 s lang beibehalten. Während dieser Zeit darf es zu keinen Durchschlägen oder Funkenüberschlägen kommen.

⑰ ⑱ ⑲

Tabelle 6 Prüfspannungen

Prüfanschluß	Prüfspannung
Netzspannungsanschluß AP 6/8 gegen Schutzleiteranschluß AP 7	1,5 kV
Netzspannungsanschluß AP 6/8 gegen Sekundärspannungsanschlüsse AS 1/2/3/4/5	1,5 kV
Sekundärspannungsanschlüsse AS 1/2/3/4/5 gegen Schutzleiteranschluß AP 7	0,5 kV